เครื่องขูดหินน้ำลายความถี่ 25 kHz
25-kHz Frequency Ultrasonic Scaler

ชุมพล พุฒิทอง[1*] ธรรมรัตน์ สุวรรณแพทย์[2] ไพรัตน์ กรีถาวร[3] พนา ดุสิตากร[4]

[1,2,3,4] อาจารย์ สาขาวิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์
มหาวิทยาลัยเทคโนโลยีราชมงคลพระนคร กรุงเทพฯ 10800

บทคัดย่อ

บทความนี้เป็นการศึกษาและออกแบบวงจรเครื่องขูดหินน้ำลายไฟฟ้า โดยนำหลักการของวงจรเฟสล็อคลูป (Phase-Locked Loop) ที่มีอยู่ในตัวไอซีเบอร์ 4046B เป็นตัวควบคุมการผลิตความถี่ 25 กิโลเฮิรตซ์ ให้เฟสและความถี่คงที่เพื่อทำให้ขดลวดในตัวด้ามจับ (Hand piece) เกิดกระบวนการ Magnetostriction กับตัวแผ่นโลหะแมกนีโทสทริคทีฟ สแต็ค ที่ตอบสนองความถี่ 25 กิโลเฮิรตซ์ เท่านั้น เมื่อเกิดกระบวนการสนามแม่เหล็กไฟฟ้า (Magnetostriction) ส่งผลให้เกิดการยืดและหดตัวของตัวแผ่นโลหะแมกนีโทสทริคทีฟ สแต็ค ด้วยความถี่สูงจึงทำให้ปลายหัวขูดหินน้ำลายเกิดการสั่นมากกว่า 20,000 ครั้ง จากการศึกษาเครื่องขูดหินน้ำลายไฟฟ้าจะสามารถกำจัดคราบจุลินทรีย์ที่ก่อตัวเป็นหินน้ำลายหรือหินปูนและสิ่งสกปรกในร่องเหงือกและบริเวณรอบโคนฟันให้หลุดออกมาได้และประสิทธิภาพใกล้เคียงกับอุปกรณ์ที่ทันตแพทย์ใช้งานและราคาที่ถูกกว่าสั่งซื้อต่างประเทศและเพิ่มความชำนาญในการซ่อมบำรุง

Abstract

This paper presents the design and construction of an ultrasonic scaler. The principal of Phase-Locked Loop circuit inside the IC 4046B controls the 25-kHz frequency generator with constant phase and frequency.The coil inside the hand-piece sheath produces the magnetostriction process with the magnetostrictive stack which works only at 25-kHz frequency. This proces causes the magentostrictive stack to expand and contract with high frequencies, making the scaler tip to vibrate more than 20,000 times per second. This dental scaler could be used to eliminate the micro-organisms in the form of plaque or tartar and dirt in the gum groove and around the tooth root surface. This tool is as effective as and cheaper than the imported equipment used by dentists. In addition, the construction of an ultrasonic dental scaler helps the staff to improve their maintaining skills.

คำสำคัญ : ด้ามจับ กระบวนการเกิดสนามแม่เหล็กไฟฟ้า

Keywords : Hand piece , Magnetostriction

[*] *ผู้นิพนธ์ประสานงานไปรษณีย์อิเล็กทรอนิกส์ golf.iet@hotmail.com โทร. 086-511-7184*

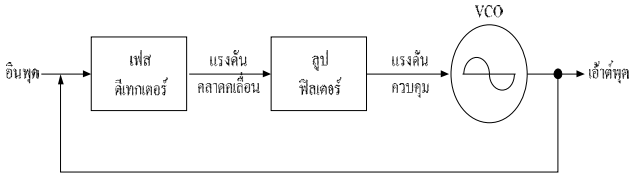
1.บทนำ

ปัจจุบันเทคโนโลยีด้านวิศวกรรมไฟฟ้าและด้านอิเล็กทรอนิกส์กำลัง (Power Electronics) มีบทบาทในงานด้านอุตสาหกรรมต่างๆ อย่างมาก แต่การนำเทคโนโลยีมาใช้งานนั้นยังไม่สามารถใช้ประโยชน์ได้สูงสุดทั้งในระบบไฟฟ้าและการนำอุปกรณ์อิเล็กทรอนิกส์กำลังมาใช้งาน ดังนั้นจึงได้นำเสนอหัวข้อบทความ เครื่องขูดหินน้ำลายไฟฟ้า (Electrical Dental Scaler) ซึ่งทันตแพทย์มีความจำเป็นต้องใช้เครื่องมือดังกล่าวในการรักษาผู้ป่วย แต่เครื่องทันตกรรมมีราคาค่อนข้างสูง

คณะจึงเล็งเห็นความสำคัญในการออกแบบเครื่องทันตกรรม (Electrical Dental Scaler) โดยเน้น ที่ราคาประหยัดและมีประสิทธิภาพที่เทียบเท่ากับเครื่องที่นำเข้าจากต่างประเทศ จึงเป็นทางเลือกในการจัดสร้างหรือสั่งซื้อเพื่อลดต้นทุนของเครื่องมือแพทย์และเพิ่มความชำนาญในการซ่อมบำรุงรักษาเครื่องมือทางด้านทันตกรรมอีกทางด้วย

1.1 เฟสล็อกลูป

เฟสล็อกลูปเป็นระบบป้อนกลับที่บังคับให้วงจรออสซิลเลเตอร์มีความถี่หรือเฟสเปลี่ยนแปลงไปตามความถี่หรือเฟสของสัญญาณอ้างอิงภายนอก เฟสล็อกลูปประกอบด้วยภาคสำคัญ 3 ภาค คือ ภาคเทียบเฟสหรือเฟสดีเทกเตอร์ (Phase detector) ภาคลูปฟิลเตอร์ (Loop Filter) และภาค VCO ดูรูปที่ 1 ในที่นี้สมมุติว่าเราต่อเอาต์พุตจากวงจร VCO



รูปที่ 1 แผนผังของเฟสล็อกลูป

สมมุติว่ามีสัญญาณความถี่อ้างอิงภายนอกเป็นสัญญาณรายคาบ (Periodic) เข้ามาที่อินพุต ภาคเทียบเฟสทำหน้าที่เปรียบเทียบเฟสระหว่างสัญญาณอ้างอิงกับสัญญาณจาก VCO เอาต์พุตที่ได้จากภาคเฟสดีเทกเตอร์จะเป็นที่มีแรงดันที่มีแอมพลิจูดเป็นสัดส่วนกับผลต่างในเฟสของสัญญาณทั้งสองที่ทำการเปรียบเทียบแรงดันผลต่างนี้ป้อนไปให้วงจรลูปฟิลเตอร์ซึ่งเป็นฟิลเตอร์ชนิดโลพาสกรองเอาแต่เฉพาะความถี่ต่างๆ ที่ต้องการเพื่อส่งไปควบคุมการออสซิลเลตของ VCO ต่อไป

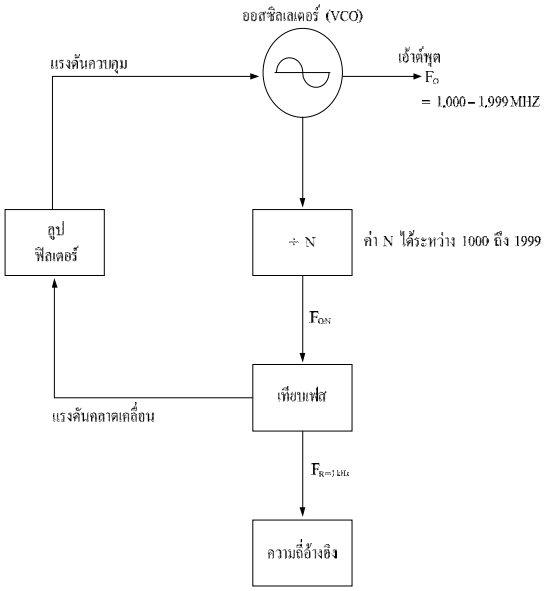
เมื่อลูปอยู่ในสภาพล็อก (Lock) ความถี่ของ VCO จะเท่ากับความถี่ของสัญญาณอินพุตพอดี อาจจะมีเฟสแตกต่างไป แต่ค่าเฟสที่แตกต่างนั้นจะมีค่าคงที่ (Constant Phase Difference) ในกรณีที่มีเฟสไม่ตรงกันภาคเฟสดีเทกเตอร์จะจ่ายแรงดันคลาดเคลื่อน(Error Voltage) ไปควบคุมการทำงานของ VCO เพื่อมิให้เฟสคลาดเคลื่อนจนกว่าจะเข้าสู่สภาพล็อกเอาต์พุตของ VCO จึงมีแอมพลิจูดค่าที่เสมอ แต่ความถี่จะเปลี่ยนแปลงตามความถี่ของสัญญาณอินพุต

เราสามารถนำเฟสล็อกลูปไปใช้สังเคราะห์ (หรือผลิต) ความถี่ที่มีความเที่ยงตรง และเสถียรภาพเทียบเท่าสัญญาณอ้างอิงได้ วงจรนี้เรียกว่าวงจรสังเคราะห์ความถี่ระบบสังเคราะห์ความถี่จะช่วยให้เราสามารถสังเคราะห์สัญญาณเอาต์พุต (จากVCO)ให้มีความถี่ตามต้องการได้หลายความถี่ โดยมีความเที่ยงตรงและเสถียรภาพสูงเทียบเท่าคริสตอลออสซิลเลเตอร์

1.2 การใช้เฟสล็อกลูปในการสังเคราะห์ความถี่

ไม่ว่าระบบสังเคราะห์ความถี่จะมีความซับซ้อนเพียงใด เมื่อพิจารณาลึกลงไปแล้วจะพบว่ามีเฟสล็อกลูปเป็นหัวใจในการสังเคราะห์เสมอ รูปที่ 2 เป็นตัวอย่างของระบบสังเคราะห์ความถี่อย่างง่ายประกอบด้วย 5 ภาค คือภาค VCO เป็นออสซิลเลเตอร์กำเนิดสัญญาณเอาต์พุตของระบบสังเคราะห์ความถี่ภาคหาร N ทำหน้าที่หารความถี่แบบตั้งโปรแกรมให้หารด้วยค่าตัวเลขตามต้องการได้ (Programmable Divider) ภาคกำเนิดความถี่อ้างอิง คริสตอลออสซิลเลเตอร์หรือสัญญาณอื่นๆ

แผนผังในรูปที่ 2 จะเห็นว่า สัญญาณอินพุตของภาคเทียบเฟสมาจาก 2 แหล่งคือ จาก VCO มีความถี่เท่ากับ F_O/N และสัญญาณอ้างอิงมีความถี่เท่ากับ F_R เอาต์พุตจากการเปรียบเทียบ



รูปที่ 2 แผนผังของหน่วยสังเคราะห์ความถี่

ผลต่างระหว่างสัญญาณ F_O/N กับ F_R ซึ่งจะกรองเฉพาะความถี่ต่ำเท่านั้น เพื่อบังคับการออสซิลเลตของวงจร VCO ให้ทำการปรับแก้ความถี่ (หรือเฟส) ให้ตรงจนกว่าสัญญาณความถี่ของสัญญาณทั้งสองจะเท่ากัน

$$F_O = NF_R$$

กล่าวอีกนัยหนึ่งว่า เอาต์พุตจะมีความถี่เป็น N เท่าความถี่อ้างอิง สมมติว่า F_R =1 kHz N = 1000 จะได้ F_O = 1 MHz ถ้า N เพิ่มขึ้นที่ละ 1 เป็น 1.001, 1.002, 1.003..... ค่า F_O จะเพิ่มทีละ 1 kHz ไปเรื่อยๆ เป็น 1.001, 1.002 , 1.003..... MHz ตามลำดับ

ขอให้สังเกตว่า เฟสล็อกลูปดังกล่าว สามารถผลิตความถี่ได้แต่เฉพาะในช่วงความถี่ที่วงจร VCO และวงจรหาร N สามารถทำงานได้เท่านั้น และตัวเลขในการหาร (คือ N) ย่อมเป็นตัวเลขจำนวนเต็มเสมอ

1.3 คุณสมบัติของวงจรสังเคราะห์ความถี่

นอกจากการสังเคราะห์ความถี่จะต้องมีคุณสมบัติเกี่ยวกับช่วงความถี่ (Frequency Range) ที่ต้องผลิตเรโซลูชั่นระหว่างขั้นแล้ว คุณสมบัติอื่นๆ ของวงจรสังเคราะห์ความถี่ก็มีความสำคัญสำหรับเครื่องรับส่งวิทยุอีกด้วย ดังจะให้อธิบายต่อไปนี้

โดยปกติวงจรสังเคราะห์ความถี่จะสามารถกำเนิดสัญญาณเพียงสัญญาณเดียว แต่เลือกความถี่ได้หลายค่า (ในช่วงความถี่ใช้งาน) และมีความละเอียดของความถี่ขึ้นอยู่กับเรโซลูชั่นในกรณีที่เราเปลี่ยนความถี่จากค่าหนึ่งไปยังอีก

ค่าหนึ่ง วงจรสังเคราะห์ความถี่จะเปลี่ยนตามได้เร็วทันที กล่าวอีกอย่างหนึ่งก็คือล็อกความถี่ได้ในเวลาอันรวดเร็ว นั่นคือ ช่วงเวลาล็อก (Lock – up Time) สั้น คุณสมบัติการล็อกความถี่ใหม่ได้รวดเร็วนั้นมีความจำเป็นอย่างยิ่งสำหรับเครื่องรับส่งวิทยุ โดยเฉพาะในระหว่างการเปลี่ยนจากสภาวะส่ง(รับ) มาเป็นสภาวะรับ(ส่ง) หรือในกรณีสแกนความถี่

วงจรสังเคราะห์ความถี่ที่ดีจะต้องผลิตสัญญาณความถี่เดียว โดยปราศจากความถี่แปลกปลอมต่างๆ คุณสมบัตินี้เรียกว่า ความบริสุทธิ์ของสเปกตรัม (Spectrum Purity) นั่นคือความถี่ฮาร์มอนิก และสปิวเรียสต่างๆ จะต้องถูกกำจัดให้เหลือน้อยที่สุด นอกจากนี้นอยส์ในวงจรออสซิลเลเตอร์จะทำให้วงจรสังเคราะห์ความถี่ที่มีความถี่ไม่บริสุทธิ์ ไม่ใช่เพียงความถี่เดียวในช่วงใกล้เคียงกับความถี่ที่ต้องการ นอยส์ดังกล่าวนี้เรียกว่า เฟสนอยส์ (Phase Noise)

ความเที่ยงตรง(Accuracy) และเสถียรภาพ (Stability) ทางความถี่ของวงจรสังเคราะห์ความถี่ขึ้นอยู่กับสัญญาณอ้างอิง โดยทั่วไปสัญญาณอ้างอิงมักจะเป็นวงจรออสซิลเลเตอร์ชนิดใช้แร่บังคับความถี่ ฉะนั้นวงจรสังเคราะห์ความถี่จะมีเสถียรภาพและความเที่ยงตรงทางความถี่เทียบเท่ากับคริสตอลออสซิลเลเตอร์

1.4 วงจรต่างๆ ในเฟสล็อกลูป

วงจรที่สำคัญที่กำเนิดความถี่เอาต์พุตก็คือ วงจร VCOโดยทั่วไปเป็นวงจรออสซิลเลเตอร์ที่ใช้วาแรกเตอร์หรือวาริแคปส่วนหนึ่งในวงจรจูน คุณสมบัติที่สำคัญของ VCO ที่ต้องคำนึงถึงก็คือเฟสนอยส์ ซึ่งเกิดจากนอยส์ในตัววาแรคเตอร์ ค่า Q เลื่อนไหลของวงจรจูน(Drift) และคุณสมบัติในตัวอุปกรณ์แอกตีฟไม่คงที่

วงจร VCO นิยมใช้ FET เนื่องจากมีนอยส์ต่ำและมีอินพุตอิมพีแดนซ์มีค่าสูง แต่บางครั้งอาจใช้ไอซี เช่น เบอร์ MC 1648 ซึ่งเป็นวงจรออสซิลเลเตอร์แบบ ECL โดยจะให้เอาต์พุตประมาณ 900 มิลลิโวลต์พีคทูพีค ซึ่งเพียงพอสำหรับเป็นโลคอลออสซิลเลเตอร์ แต่อย่างไรก็ดีคุณสมบัตินอยส์ย่องสู่วงจรออสซิลเลเตอร์ที่ใช้ FET ไม่ได้

สังเกตว่าความถี่ของวงจร VCO ถูกควบคุมด้วยแรงดันควบคุม ที่ป้อนมาไบแอสวาริแคปในวงจรจูน ถ้าแรงดันไบแอสที่ป้อนมาให้ค่าของวาริแคปเพิ่มขึ้นส่วนใหญ่ VCO จะมีความถี่สูง แต่ก็มีบางวงจรที่ทำให้ความถี่ VCO ลดลงแต่เป็นส่วนน้อย (เช่นในกรณีที่ใช้วงจรขยายอินเวอร์เตอร์มาขยายแรงดันควบคุมก่อน)

ภาคความถี่อ้างอิงนิยมใช้คริสตอลออสซิลเลเตอร์ และมีวงจรหารความถี่ตายตัว ส่วนใหญ่เป็นไอซีแสดงตัวอย่างวงจรออสซิลเลเตอร์ ซึ่งใช้แร่ความถี่ 2.56 MHz แล้วหารออกมาเป็น 10 kHz ทั้งวงจรออสซิลเลเตอร์และวงจรหารความถี่จะอยู่ภายในตัวไอซี ทั้งหมดมีแต่เฉพาะ R และ C เท่านั้นที่ต่อภายนอกเป็นไอซีที่ใช้งานแบบเดียวกันความถี่ออสซิลเลเตอร์อ้างอิงนี้เป็นตัวกำหนดเรโซลูชั่นและเสถียรภาพของความถี่อ้างอิงที่ดีจึงทำให้สามารถสังเคราะห์ความถี่ที่มีเสถียรภาพดีด้วย

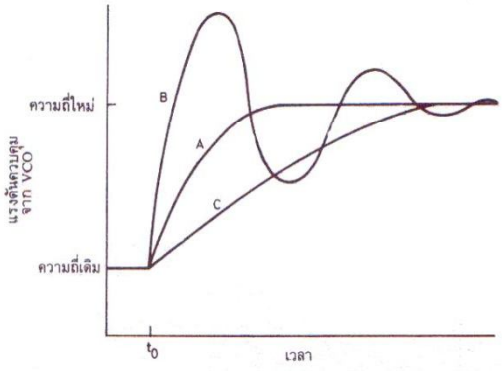
ภาคเทียบเฟสส่วนใหญ่จะเป็นแบบดิจิตอล ซึ่งเปรียบเทียบสัญญาณอ้างอิงกับสัญญาณที่ได้จาก VCO (หลังจากหาร N) เอาต์พุตที่ได้จากการเปรียบเทียบจะเป็นพัลส์ที่มีวัฏจักรหน้าที่ (Duty Cycle) เปลี่ยนแปลง ซึ่งแสดงไอซีที่ทำหน้าที่เป็นวงจรดีเทกเตอร์เฟส วงจรนี้ประกอบด้วยเกต Exclusive OR , D – Flipflop ฯลฯ ปกติจะมีเอาต์พุตพิเศษแสดงสภาวะล็อกด้วย สภาวะล็อกในที่นี้หมายถึงสภาวะที่ความถี่หรือเฟสของสัญญาณจาก VCO (หาร N) กับสัญญาณอ้างอิงตรงกันพอดี ล็อกเอาต์พุตนี้มีความสำคัญมาก เพราะจำเป็นต้องใช้หยุดการทำงานภาคเครื่องส่ง (ของเครื่องรับส่งวิทยุ) ในกรณีที่ความถี่ไม่ล็อก

วงจรเทียบเฟสนี้ความจริงแล้วจะเรียกว่าเทียบเฟสหรือความถี่ก็ได้ เนื่องจากเอาต์พุตของดีเทกเตอร์ขึ้นอยู่กับผลต่างเฟสหรือค่าความถี่ของสัญญาณอินพุต 2 สัญญาณ ผลลัพธ์ที่ได้จากเฟสดีเทกเตอร์จะเป็นพัลส์ซึ่งมีส่วนผสมของไฟ DC ปนอยู่ ส่วนที่เป็นไฟ DC นี้จะนำไปใช้ควบคุมความถี่ของ VCO จะห่างจากความถี่ที่ต้องการเท่าใด ช่วงความถี่ที่วงจรเฟสล็อกลูปสามารถแก้ไขได้เรียกว่า Capture Range

ตัวอย่างวงจรเฟสดีเทกเตอร์ สังเกตว่ามีวงจรขยายอินเวอร์เตอร์อยู่ 1 ตัว ซึ่งเป็นวงจรขยายอเนกประสงค์เพื่อประโยชน์ในการสลับขั้วแรงดันควบคุมของ VCO ให้อัตราการขยายมีความแรงขึ้นหรือใช้ในการควบคุมอื่นๆ

ลูปฟิลเตอร์ เป็นวงจรฟิลเตอร์ชนิดโลพาสธรรมดา ทำหน้าที่กรองเอาเฉพาะสัญญาณความถี่ต่ำมาควบคุมความถี่ของ VCO โดยทั่วไปมักใช้ลูปฟิลเตอร์ประเภทพาสซีฟ (มีแต่ R กับ C หรืออาจใช้ฟิลเตอร์ชนิดแอกตีฟก็ได้) ลูปฟิลเตอร์นี้เป็นตัวกำหนดคุณสมบัติการเปลี่ยนแปลงความถี่ก่อนเข้าสู่สภาพล็อกที่เรียกว่าคุณสมบัติชั่วครู่ (Transient) ถ้าเลือกอัตราการขยายลูป (Loop Gain) และค่าคงตัวเวลาของลูป (Loop Time Constant) ไม่เหมาะสมความถี่เฟสล็อกลูปจะไม่ล็อกและจะเปลี่ยนไปเปลี่ยนมา

ดังนั้น ค่าคงตัวเลขของลูปฟิลเตอร์จะต้องไม่มากเกินไป เพื่อว่าทุกครั้งที่เปลี่ยนความถี่เฟสล็อกลูปจะล็อกได้เร็ว โดยไม่มีการสะบัด (Overshoot) หรือใช้เวลาเปลี่ยนความถี่อย่างรวดเร็ว แต่ค่าคงตัวเวลาก็ไม่ควรจะน้อยเกินไปจนกระทั่งความถี่สั่นหรือไม่นิ่ง (Jitter) ดังรูปที่ 3 ซึ่งแสดงการเปลี่ยนแปลงความถี่ของ VCO จะเห็นว่าเส้นทางกานเปลี่ยนแปลงแรงดันมี 3 เส้นทาง เส้นทาง A เป็นเส้นทาง Critically Damped ใช้เวลาในการเปลี่ยนค่าสู่ความถี่ใหม่น้อยที่สุด เส้นทาง B เรียกว่าเส้นทาง Under damped มีการสะบัด (หรือออสซิลเลต) เนื่องจากโอเวอร์ชูต เส้นทาง C เป็นเส้นทาง Over damped ไม่มีโอเวอร์ชูตแต่เวลาที่ใช้ในการเข้าสู่ความถี่ใหม่จะช้า



รูปที่ 3 คุณลักษณะของ Dynamic Character

ดังนั้นเส้นทาง A เป็นเส้นทางที่ดีที่สุดในการออกแบบค่าคงตัวเลขของวงจรจรลูปฟิลเตอร์ เพราะใช้เวลาเปลี่ยนแปลงความถี่เร็วและไม่โอเวอร์ชูต

วงจรหาร N นี้เป็นตัวรับคำสั่งเกี่ยวกับความถี่ไปควบคุม VCO เพื่อให้เกิดสัญญาณตามที่ต้องการตัว N จะเป็นตัวที่กำหนดย่านความถี่ แสดงวงจรหารชนิดใช้ไอซี ตระกูล TTL เป็นวงจรหาร N สำเร็จรูปในไอซีตัวเดียว สังเกตว่าลักษณะการป้อนข้อมูล N ให้กับวงจรหาร N เป็นแบบขนาน (Parallel) กล่าวคือข้อมูลแต่ละบิตจะป้อนเข้าพร้อมๆ กัน

วงจรหาร N บางชนิดใช้วิธีป้อนข้อมูล N เป็นแบบอนุกรม (Serial) วงจรประเภทนี้มีความซับซ้อน เพราะต้องมีสัญญาณนาฬิกา (Clock) มีวงจรแลตช์ (Latch) ฯลฯ ในการป้อนข้อมูลวงจรหาร N ประเภทนี้จะควบคุมการทำงานด้วยไมโครคอมพิวเตอร์

ปัญหาสำคัญของซินธีไซเซอร์อีกอย่างหนึ่งก็คือ วงจรหาร N (หรือวงจรหารที่ตั้งโปรแกรมได้) ไม่สามารถทำงานที่ความถี่สูงกว่า 25 เมกะเฮิรตซ์ได้ ฉะนั้นเราจึงต้องหาทางลดทอนความถี่ที่ป้อนแก่วงจรหาร N ลง เพื่อให้วงจรลอจิกของวงจรการ N ทำงานได้วิธีต่างๆที่นิยมใช้ได้แก่ ใช้ความถี่จากออสซิลเลเตอร์พิเศษ (บางครั้งเรียกออสซิลเลเตอร์PLL) มามิกซ์กับ VCO ให้ความถี่ลดลงก่อนที่จะป้อนให้แก่วงจรหาร อีกวิธีหนึ่งก็คือใช้วิธีพรีสสเกลแบบสองโมดูลัสหารล่วงหน้าโดยใช้ตัวหาร 2 ค่า

1.5 วงจรกรองสัญญาณความถี่แบบพาสซีฟ (Passive Filter)

วงจรกรองสัญญาณความถี่หรือฟิลเตอร์ (Filter) คือวงจรไฟฟ้าที่ยอมให้สัญญาณไฟฟ้าที่ความถี่ใดๆ ความถี่หนึ่งหรือช่วงความถี่ใดๆความถี่หนึ่งเท่านั้นผ่านไปได้ ส่วนความถี่อื่นหรือช่วงความถี่อื่นๆ นอกเหนือจากที่กำหนดจะถูกลดทอนไปซึ่งจะเป็นช่วงความถี่ใดนั้นขึ้นอยู่กับการออกแบบวงจร

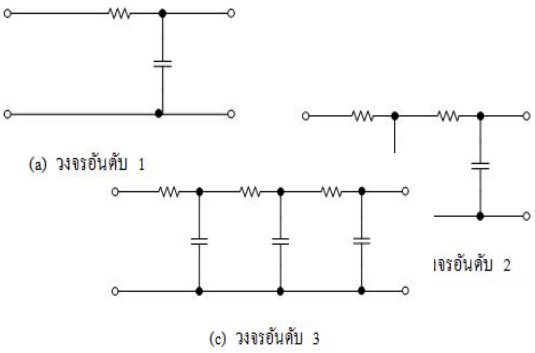
วงจรกรองสัญญาณความถี่ประเภทพาสซีฟ หรือพาสซีฟฟิลเตอร์(Passive Filter) คือวงจรที่ประกอบขึ้นด้วยอุปกรณ์แบบพาสซีฟ ซึ่งหมายถึงอุปกรณ์ที่สามารถทำงานได้โดยไม่ต้องมีการกระตุ้นด้วยศักดาไฟฟ้าเพื่อให้ทำงานเสียก่อน หรือที่เรียกกันว่าไบอัส (Bias) ซึ่งได้แก่อุปกรณ์ประเภทตัวต้านทาน ตัวเก็บประจุ และขดลวดเหนี่ยวนำ ส่วนอุปกรณ์ประเภทแอคทีฟ ซึ่งจะขอเกริ่นไว้ที่นี้ก่อนก็ เช่น ทรานซิสเตอร์ ไอซี หรืออินทิเกรตเซอร์กิต (Integrated Circuit) เป็นต้น

วงจรกรองสัญญาณความถี่แบ่งได้เป็นหลายประเภท ดังนี้คือ

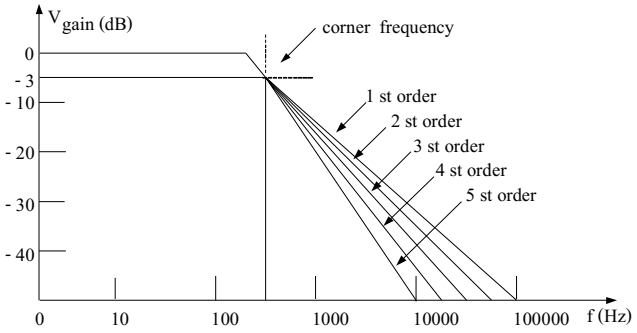
1. วงจรกรองสัญญาณความถี่ต่ำ (LPF: Low Pass Filter)
2. วงจรกรองสัญญาณความถี่สูง (HPF: High Pass Filter)
3. วงจรกรองสัญญาณช่วงความถี่ (BPF: Band Pass Filter)
4. วงจรลดทอนสัญญาณช่วงความถี่ (BRF: Band Reject Filter)

วงจรกรองสัญญาณความถี่ต่ำ

หมายถึง วงจรที่จะย่อมให้สัญญาณความถี่ตั้งแต่ 0 Hz ถึงความถี่ที่กำหนดผ่านไปได้ส่วนความถี่ตั้งแต่ที่กำหนดความถี่สูงขึ้นไปเรื่อยๆ จะลดทอนไปตามลำดับลักษณะของวงจรมีตั้งแต่อันดับหนึ่งขึ้นไป ซึ่งจะมีลักษณะการต่อวงจรดังรูปที่ 4



รูปที่ 4 วงจรอันดับ



รูปที่ 4 วงจรกรองสัญญาณความถี่ต่ำอันดับต่างๆ และกราฟแสดงอัตราขยายแรงดันเชิงความถี่

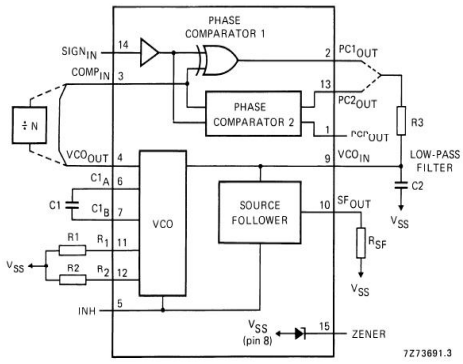
การแสดงคุณสมบัติหรือขอบเขตการทำงานของวงจรกรองสัญญาณความถี่ชนิดต่างๆ แสดงได้โดยการเขียนเป็นกราฟระหว่างอัตราขยายศักดา (Voltage Gain) เป็นหน่วยเดซิเบล (dB) กับความถี่ของสัญญาณ ซึ่งเรียกกันว่า “ผลตอบสนองอัตราขยายเชิงความถี่” (Frequency Response) ดูตัวอย่างแสดงผลตอบสนองอัตราขยายแรงดันเชิงความถี่ได้ดังรูปที่ 4

ในทางทฤษฎีวงจรกรองสัญญาณความถี่ต่ำจะยอมให้สัญญาณใดๆ ที่มีความถี่ตั้งแต่ 0 Hz จนถึงความถี่ที่กำหนดเรียกว่า ความถี่คัทออฟ หรือความถี่ขอบเขต (Cutoff Frequency) และความถี่หักมุม (Corner Frequency) ผ่านไปได้โดยไม่มีการลดทอน (หมายถึงแรงดันของสัญญาณออกมีค่ามากที่สุดจนเกือบเท่าสัญญาณเข้า) และถ้าความถี่สัญญาณเข้ามีค่าเกินความถี่ขอบเขต สัญญาณออกควรจะมีค่าเป็นศูนย์ตลอด แต่ในทางปฏิบัติแล้วไม่สามารถทำเช่นนั้นได้ เนื่องจากการตอบสนองสัญญาณที่ความถี่ต่างๆ ของอุปกรณ์ประเภทพาสซีฟจะเป็นแบบค่อยเป็นค่อยไปเปลี่ยนแปลงทันทีทันใด ดังนั้นผลที่ได้จึงเป็นดังรูปที่ 4 คือเมื่อสัญญาณมีความถี่สูงขึ้นวงจรจะลดสัญญาณลงไปเรื่อยๆ จนกระทั่งลดลงในอัตราคงที่ค่าหนึ่ง

เนื่องจากการลดทอนสัญญาณจะเป็นไปเรื่อยๆ ดังนั้นในทางปฏิบัติจึงมีการกำหนดขนาดของสัญญาณที่สามารถนำไปใช้งานได้เป็นมาตรฐานคือ สัญญาณที่สามารถนำไปใช้งานได้ คือสัญญาณที่ผ่านการกรองมาแล้วมีค่าแรงดันเป็น $\frac{1}{\sqrt{2}}$ เท่าแรงของแรงดันสูงสุด หรืออาจกล่าวได้ว่าที่ความถี่นั้นอัตราขยายจะเป็น $\frac{1}{\sqrt{2}}$ เท่าของอัตราขยายสูงสุดซึ่งเป็นการคำนวณจากกำลังขยายเป็นเดซิเบลได้ว่า กำลังขยายของสัญญาณความถี่ขณะนั้นเป็นครึ่งหนึ่งของกำลังขยายสูงสุด แต่ถ้าเป็นอัตราขยายแรงดันหน่วยเดซิเบลจะได้ว่าอัตราขยายที่ความถี่ขณะนั้นมีค่าต่ำกว่าอัตราขยายที่ความถี่ขอบเขตในหน่วยต่างๆ

2. วิธีการทดลอง

วงจรเฟสล็อกลูป ประกอบด้วย VCO และเฟสเปรียบเทียบ 2 เฟส กับส่วนขยายสัญญาณอินพุต และส่วนเปรียบเทียบอินพุต ของ IC 4046 B

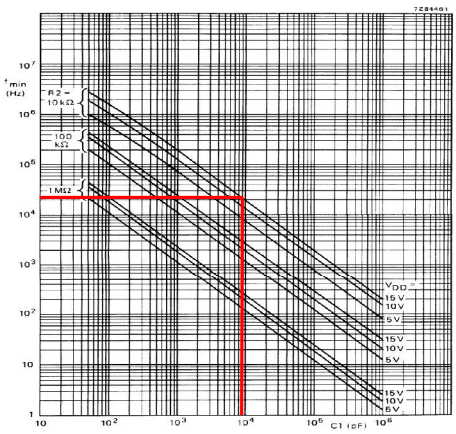


รูปที่ 5 วงจรภายในไอซี 4046

ที่มา : Data Sheet IC 404

2.1 ความถี่ที่ควบคุมด้วยแรงดัน (Voltage Control Oscillater)

VCO ต้องการคาปาซิเตอร์ (C1) ต่อภายนอกหนึ่งตัว และ R ต่อภายนอก 1 หรือ 2 ตัว (R1 หรือ R1 และ R2) R1 และ C1 จะเป็นตัวกำหนดย่านความถี่ของ VCO R2 ช่วยให้ VCO มีความถี่ off-set การที่ VCO มีความต้านทานอินพุตสูงทำให้ง่ายต่อการออกแบบ low-pass filter ง่ายต่อการเลือกค่าของ R1 และ C1ในคำสั่งไม่มีโหลด low-pass filter แหล่งกำเนิดเอาต์พุตของ VCO จะจ่ายแรงดันเอาต์พุตให้ที่ขา 10 (SF OUT) ถ้าขานี้ถูกใช้ โหลด R (RSF) จะต่อจากขานี้ไปยัง VSS ถ้าไม่ใช้ขานี้จะเปิดไว้ VCO เอาต์พุต (ขา 4) สามารถใช้ได้ทั้งต่อโดยตรงไปยังขา COMP IN (ขา 3) หรือโดยการจำแนกความถี่ ระดับต่ำที่ขา INH IN (ขา 5) ช่วยให้ VCO และแหล่งจ่ายในช่วงเวลาที่ความถี่มีระดับสูงจะ off ทั้งคู่ เพื่อลดขนาดความถี่จนมีค่าที่ต้องการใช้



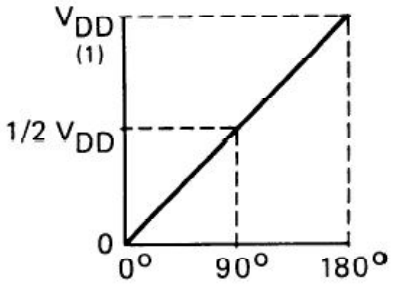
รูปที่ 6 กราฟแสดงการเลือกค่าของ R1และ C1 เพื่อกำหนดย่านความถี่ใช้งานที่ 25 kHz
ที่มา : Data Sheet IC 4046

3. ผลการทดลองและวิจารณ์ผล

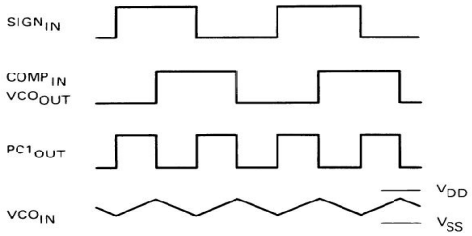
จากเฟสเปรียบสัญญาณอินพุตขา 4(VCO Output) สามารถต่อได้โดยตรงแต่มีสัญญาณที่แกว่งระหว่างระดับลอจิกอินพุตมาตรฐานในตระกูล HE4000B ในกรณีที่มีการแกว่งเล็กน้อย สัญญาณจะเป็นประจุต่อเพื่อขยาย Self-Bias ที่สัญญาณอินพุต

เฟสเปรียบเทียบจะเป็น Exclusive-OR Network สัญญาณและความถี่อินพุตเปรียบเทียบจะมีค่า 50% - Lock-Range สูงสุด แรงดันเอาต์พุตเฉลี่ยของเฟสเปรียบเทียบเท่ากับ ½ VDD เมื่อไม่มีสัญญาณรบกวนที่สัญญาณอินพุต แรงดันอินพุตเฉลี่ยสู่ VCO จะจ่ายโดย LOW-PASS Filter ต่อไปยังเอาต์พุตของเฟส Comparator ขา 1 ด้วยเหตุนี้ค่าของ VCO จะมีการแกว่ง ที่ศูนย์กลางความถี่(fo) ความถี่ capture Range (2fc) อธิบายได้ตามที่ย่านความถี่ของสัญญาณอินพุต ซึ่ง PLL จะล็อก ความถี่ Look – Range (2FL) อธิบายได้ตามที่ย่านความถี่ของสัญญาณอินพุต

Capture range จะมีขนาดเล็ก (หรือย่าน) ที่แคบกว่า หรือเท่ากับ lock range เฟส Comparator ขา 1 ย่านของความถี่ซึ่งสูงกว่า PLL สามารถจะล็อกได้ค่าเฟส Comparator ขา 1 ทำให้ระบบ PLL จะคงสภาวะล็อกเมื่อผลรวมของสัญญาณรบกวนในสัญญาณอินพุตมีค่าสูง พฤติกรรมแบบนี้ของเฟสเปรียบเทียบอาจจะล็อกค่าความถี่อินพุตนั้นเป็นการปิดกั้นฮาโมนิกของความถี่ศูนย์กลาง VCO มุมของเฟสระหว่างสัญญาณและอินพุตเปรียบเทียบต่างๆจะอยู่ระหว่าง 0 องศา และ 180 องศา และเป็น 90 องศาที่ ศูนย์กลางความถี่



รูปที่ 7 แสดงรูปแบบการตอบสนองของ เฟส to เอาต์พุต
ที่มา : Data Sheet IC 4046

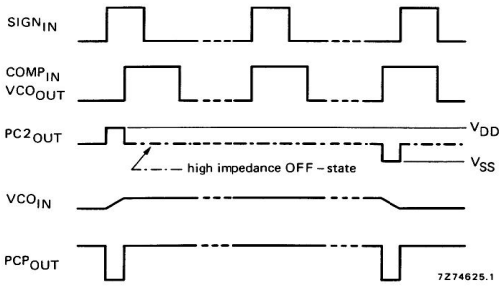


รูปที่ 8 แสดงลักษณะรูปคลื่นที่เฟสคอมพาราเตอร์ 1

ที่มา : Data Sheet IC 4046

เฟสเปรียบเทียบ (Comparator) ขา 2 เป็นเครือข่ายหน่วยความจำดิจิตอล edge-controlled. ประกอบด้วย Flip-flop 4 ตัว ควบคุม gating และ วงจร Output 3- State ประกอบด้วย ไดร์ฟ แบบ P และ N มีโนดเอาต์พุตเมื่อไดร์ฟ แบบ P และ N เปิด จะดึงเอาต์พุตขึ้นถึงค่าของ VDD หรือลดลงถึงค่าของ VSS ตามลำดับ เฟสเปรียบเทียบแบบนี้จะมีลักษณะเดียว คือ ขอบขาสั้น ของสัญญาณที่ ขา Sign $_{in}$ และ Comp $_{in}$ เพราะฉะนั้น Factor ของสัญญาณนี้ไม่มีความสำคัญ ถ้าสัญญาณความถี่อินพุตมีขนาดใหญ่กว่าความถี่อินพุตเปรียบเทียบ ไดร์ฟเอาต์พุต p คงสภาวะ ON ใช้ช่วงเวลาหนึ่ง และไดร์ฟทั้งแบบ n และ p จะ off (3-State)ในช่วงเวลาเหลืออยู่ ถ้าสัญญาณอินพุตและความถี่อินพุตเปรียบเทียบเท่ากัน แต่สัญญาณอินพุตล้าหลังอินพุตเปรียบเทียบในเฟส, เวลาที่ไดร์ฟเอาต์พุตแบบ n อยู่ในสภาวะ ON. สอดคล้องกับความแตกต่างของเฟส, ถ้าอินพุตเปรียบล้าหลังสัญญาณอินพุตในเฟส,สำหรับเวลาที่ไดร์ฟเอาต์พุตแบบ p อยู่ในสภาวะ ON สอดคล้องกับความแตกต่างของเฟส. ซึ่งต่อมาแรงดันที่คาปาซิเตอร์ ของ Low-pass filter ต่อกับเฟสเปรียบเทียบ จะปรับค่าสัญญาณและอินพุตเปรียบเทียบจนกระทั่งสองเฟสและความถี่ที่จุดเสถียร, ไดร์ฟทั้งแบบ p และ n ยังคง OFF และด้วยเหตุนี้ เฟสเอาต์พุตเปรียบเทียบได้เปิดวงจรและให้แรงดันที่คาปาซิเตอร์ของ low-pass filter คงที่

ยิ่งกว่านั้นสัญญาณที่เฟสเปรียบเทียบพัลซ์เอาต์พุต(PCP out) ระดับสูงสามารถใช้แสดงให้รู้สภาวะในการล็อกด้วยเหตุนี้สำหรับเฟสเปรียบเทียบขา 2 ไม่มีเฟสแตกต่างระหว่างสัญญาณและอินพุตเปรียบเทียบสูงกว่าย่านความถี่ VCO จะปรับความถี่ของมันให้ต่ำสำหรับเฟสเปรียบเทียบ ขา



รูปที่ 9 แสดงลักษณะรูปคลื่นที่เฟสคอมพาราเตอร์ 2

ที่มา : Data Sheet IC 4046

4. สรุป

จากการศึกษาเครื่องขูดหินน้ำลายไฟฟ้าที่จำเป็นต้องใช้วงจรผลิตความถี่สัญญาณ 25 kHz ที่อยู่ในย่านความถี่ (Ultrasonic Scaler) ตามทฤษฎีที่เกี่ยวข้องของเฟสล็อกลูปเพื่อสร้างความถี่นั้นให้อยู่ในเกณฑ์การตอบสนองของแผ่นโลหะแมกนีโทสทริคทีฟ สแต็ค ของปลายหัวขูด (P10) จึงนำเอาไอซีเบอร์ 4046B ที่ เป็นหัวใจในการผลิตความถี่ 25 kHz ซึ่งในนย่านความถี่ (Ultrasonic Scaler) มาใช้งาน ในการผลิตความถี่ 25 kHz นั้น จะต้องอาศัยหลักการของวงจร (Phase-Locked Loop : PLL)ที่มีคุณสมบัติอยู่ภายในไอซีตัวนี้ และสามารถทำการล๊อกความถี่ โดยการทำการเปรียบเทียบค่าความต่างเฟส ระหว่างสัญญาณ Input กับสัญญาณ (Voltage Controlled Oscillator : VCOout)

ที่เป็นความถี่อ้างอิงภายในตัวไอซีเบอร์ 4046B วงจร (VCOout) จะทำหน้าที่สร้างความถี่อ้างอิงออกมาโดยการกำหนดค่าของความต้านทาน (R1 , R2) และค่าคาปาซิสเตอร์ (C1) ที่ได้จาก Data Sheet

เพื่อง่ายต้องการสร้างวงจรและกระบวนการ (Magnetostriction) ในตัวด้ามจับ (Hand piece) ที่ส่งผลต่อการตอบสนองการเคลื่อนที่ของแผ่นโลหะแมกนีโทสทริคทีฟ สแต็ค ของปลายหัวขูด (P10) หรือปลายหัวขูดอื่นๆ เช่น (P9),(EWP-10 R&L),(P11 R&L),(P12) และ (EWP 12 R&L) ที่ตอบสนองความถี่ 25 kHz เช่นกัน

5. กิตติกรรมประกาศ

บทความนี้นำสำเร็จลุล่วงไปด้วยดีเนื่องจากได้รับคำแนะนำในเรื่องของข้อมูลคำปรึกษาและสถานที่ปฏิบัติงานโดยคุณสันติ ทองช้อย ซึ่งเป็นหัวหน้าหน่วยซ่อมบำรุง และพนักงานในหน่วยซ่อมบำรุง คณะทันตแพทยศาสตร์ มหาวิทยาลัยมหิดลทุกท่านที่ให้คำปรึกษาแนะนำข้อมูลและเทคนิคหลักการทำงานที่เป็นประโยชน์เกี่ยวกับการศึกษาเกี่ยวกับเครื่องขูดหินน้ำลายไฟฟ้า คณะผู้จัดทำรู้สึกซาบซึ้งเป็นอย่างยิ่ง และขอกราบขอบพระคุณเป็นอย่างสูง

คุณค่าและประโยชน์ใดๆ อันพึงมีต่อบทความนี้ คณะผู้จัดทำขอมอบเพื่อทดแทนคุณแด่บิดา-มารดา ครู-อาจารย์ ผู้ประสาทวิชาความรู้ และผู้ให้ความช่วยเหลืออนุเคราะห์แก่คณะผู้จัดทำทั่วกันทุกท่าน

6. เอกสารอ้างอิง

พันธ์ศักดิ์ พุฒิมานิตพงศ์. 2535. **ทฤษฎีเครื่องรับวิทยุ.** กรุงเทพฯ : เจริญธรรม.

พันธ์ศักดิ์ พุฒิมานิตพงศ์. 2542. ว**งจรพัลส์และสวิตชิ่ง.** กรุงเทพฯ : ซีเอ็ดยูเคชั่น,.

สุชาติ กังวารจิตต์. 2541. **หลักการทำงานเครื่องรับส่งวิทยุและระบบวิทยุสื่อสาร.**กรุงเทพฯ : ซีเอ็ดยุเคชั่น.

Dentsply/Equipment Division. 1993. **Dentsply Bobcat Ultrasonic Scaler.** New York : Dentsply International, Inc..

Peter F. Fedi, Jr. Arthur R. Vernino. 1985. **The Periodontic syllabu.** 3rd ed. America : A Lea & Febiger book.